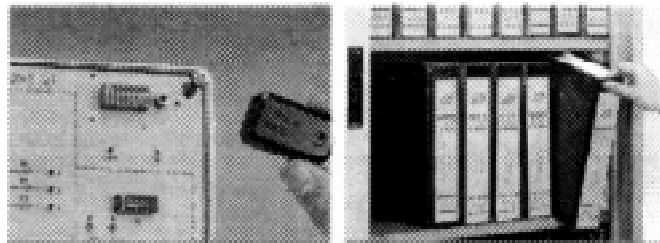
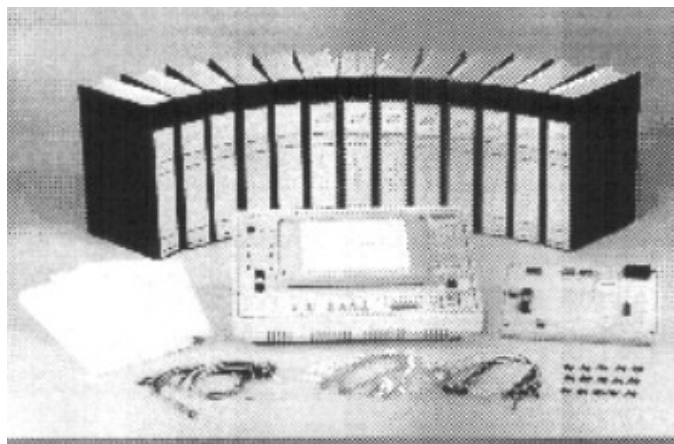


Laboratoryjny zestaw doświadczalny – Cyfrowe układy logiczne



SPECYFIKACJA

MODUŁ PODSTAWOWY (KL- 31001)

ZASILANIE

1. PODWÓJNY ZASILACZ DC
 - (1) Napięcia: +5V, 1,5A; -5V, 0,3A; ±12V, 0,3A
 - (2) Zabezpieczenie przed przeciążeniem.
2. REGULOWANY ZASILACZ DC
 - (1) Napięcie: +1,5V ~ +15V
 - (2) Maksymalny prąd wyjściowy: 0,5A
 - (3) Zabezpieczenie przed przeciążeniem.

GENERATOR SYGNAŁOWY

Wszystkie generatory sygnałowe mają dwa niezależne wyjścia o poziomie TTL i CMOS. Poziom na wyjściu CMOS jest ustalany w zakresie +1,5V do +15V pokrętkiem regulacji napięcia zasilacza DC.

3. SYGNAŁ WZORCOWY

- (1) Częstotliwość: 1MHz, 60Hz, 1Hz
- (2) Dokładność: ±0,01% (1MHz)
- (3) Obciążalność: 10 bramek TTL

4. GENERATOR IMPULSÓW ZEGAROWYCH

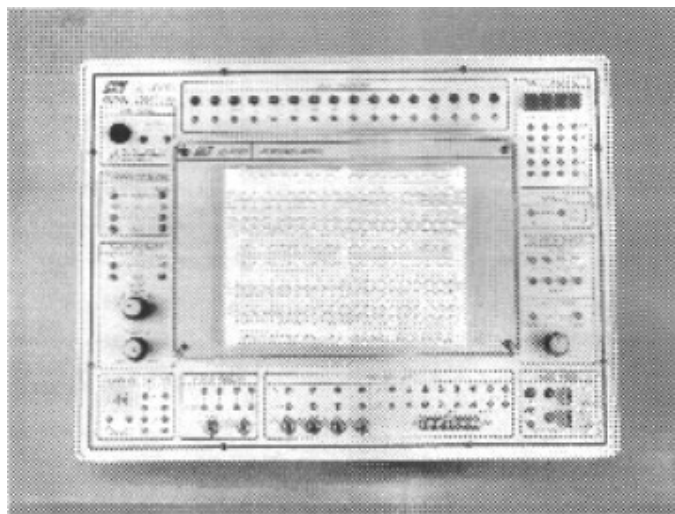
- (1) Częstotliwość: 1Hz~1MHz (6 podzakresów)

a. 1Hz ~10Hz	d. 1kHz ~10kHz
b. 10Hz ~ 100Hz	e. 10kHz ~ 100kHz
c. 100Hz ~ 1kHz	f. 100kHz ~ 1MHz
- (2) Obciążalność: 10 bramek TTL

Zestaw KL-300 jest stanowiącym samodzielną całość urządzeniem laboratoryjnym przeznaczonym do celów dydaktycznych, które umożliwia wykonywanie doświadczeń z zakresu podstaw elektronicznej techniki cyfrowej. Wszystkie urządzenia niezbędne do przeprowadzania eksperymentów, takie jak zasilacz, generator sygnałowy, przełączniki i wskaźniki są zainstalowane w module podstawowym zestawu. 13 rozszerzających modułów doświadczalnych pokrywa szeroki zakres podstawowych zagadnień z dziedziny elektronicznych układów cyfrowych. Zestaw pozwala oszczędzić czas i koszty zarówno studentom, jak i pracownikom naukowo-badawczym zajmującym się projektowaniem i testowaniem prototypów układów elektronicznych.

- Uniwersalny zestaw do prezentacji działania oraz projektowania logicznych układów kombinacyjnych, sekwencyjnych i mikroprocesorowych.
- Idealne narzędzie do nauki podstaw cyfrowych układów logicznych.
- Łatwe i proste wykonywanie eksperymentów dzięki wyposażeniu zestawu w zasilacze i niezbędne przyrządy pomiarowe.
- Elastyczność w przygotowaniu i rozszerzaniu eksperymentów zapewniona przez uniwersalną płytę montażową.
- Możliwość badania obwodów TTL, CMOS, NMOS, PMOS i ECL..
- Wyposażenie wszystkich zasilaczy zestawu w zabezpieczenie przed przeciążeniem.
- Wszystkie moduły wyposażone w 8-bitowe przełączniki DIP do symulacji uszkodzeń obwodu.
- Indywidualne kasety do przechowywania i transportowania modułów.

Laboratoryjny zestaw doświadczalny – Cyfrowe układy logiczne



5. KOMUTATOR DANYCH

- (1) 2 przełączniki 8-bitowe, 16-bitowe wyjście TTL
- (2) 4 przełączniki bistabilne z układami przeciwzakłóceniovymi
- (3) Obciążalność: 10 bramek TTL

6. IMPULSATOR

- (1) 2 niezależnie sterowane układy
- (2) Każdy z wyjściami Q i \bar{Q} , szerokość impulsu >5ms
- (3) Każdy układ przerzutników z filtrami przeciwzakłóceniovymi
- (4) Obciążalność: 10 bramek TTL

7. GENERATOR CZĘSTOTLIWOŚCI SIECI

- (1) Częstotliwość: 50/60Hz
- (2) Napięcie wyjściowe: 6Vrms
- (3) Ochrona przed przeciążeniem

8. MANIPULATOR TARCZOWY

2-cyfrowy, wyjście w kodzie BCD

WYŚWIETLACZE

9. WSKAŹNIK STANÓW LOGICZNYCH

- (1) 16 zespołów niezależnych diod LED do sygnalizacji stanów logicznych (niski, wysoki)
- (2) Impedancja wejściowa: <100k Ω

10. WYŚWIETLACZ CYFROWY

- (1) 4 zestawy niezależnych 7-segmentowych wskaźników LED
- (2) Sterowniki / dekodery BCD i wejście DP
- (3) Wejście z kodem 8-4-2-1

URZĄDZENIA POMIAROWE

11. SONDY LOGICZNE

- (1) Sondy z poziomami TTL i CMOS
- (2) Wskaźniki LED 5mm
- (3) Diodowe wskaźniki stanów logicznych („Lo” – niski, „Hi” – wysoki)

12. GŁOŚNIK WEWNĘTRZNY

8 Ω / 0,25W ze sterownikiem

MODUŁ PŁYTY MONTAŻOWEJ (AC-90001)

13. PŁYTA MONTAŻOWA

Płyta z 1680 punktami węzłowymi, łatwa instalacja na module głównym.

WYPOSAŻENIE

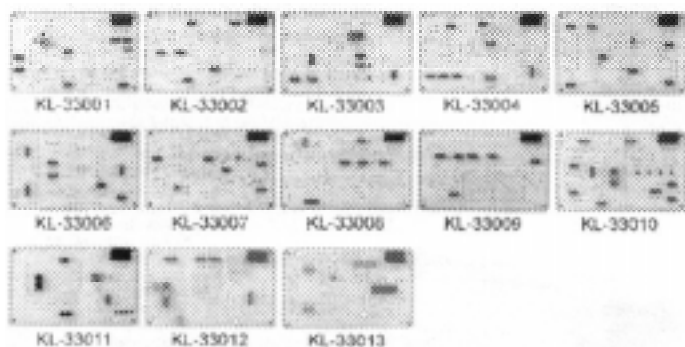
- A. Przewody połączeniowe:
 - (1) 2mm-0,65mm, dł. 300mm - 6 szt.
 - (2) 2mm-2mm, dł. 450mm – 10 szt.
- B. Przewody pomiarowe: 2mm-2mm, dł. 600mm – 1 szt.
- C. Instrukcja obsługi
- D. Bezpiecznik
- E. Kabel sieciowy
- F. Pokrowiec

MODUŁY DOŚWIADCZALNE

1. Każdy z 13 modułów wyposażono w 8-bitowy przełącznik DIP do symulacji usterek. Użytkownicy mogą ćwiczyć lokalizację usterek, ustawiając różne stany przełącznika.
2. Szczegółowe rozwiązania dla symulowanych usterek zawarto w instrukcji.
3. Gniazda wszystkich modułów przystosowane są do wtyków 2mm.
4. Wszystkie dostępne eksperymenty wraz ze sposobem ich przeprowadzania opisano w instrukcji.
5. Wymiary modułów: 255x165x30mm.
6. Połączenia modułów wykonane wtykami dla zmniejszenia ryzyka przypadkowych uszkodzeń.
7. Indywidualne kasety do przechowywania i transportowania każdego z modułów.

Laboratoryjny zestaw doświadczalny – Cyfrowe układy logiczne

WYKAZ MODUŁÓW



- KL-33001: Charakterystyki podstawowych bramek logicznych
 KL-33002: Złożone układy logiczne (1)
 KL-33003: Złożone układy logiczne (2)
 KL-33004: Złożone układy logiczne (3)
 KL-33005: Złożone układy logiczne (4)
 KL-33006: Złożone układy logiczne (5)
 KL-33007: Generator impulsów zegarowych
 KL-33008: Logiczne układy sekwencyjne (1)
 KL-33009: Logiczne układy sekwencyjne (2)
 KL-33010: Obwody pamięci (1)
 KL-33011: Obwody pamięci (2)
 KL-33012: Układy konwerterów (1)
 KL-33013: Układy konwerterów (2)

LISTA EKSPERYMENTÓW

1. Podstawowe bramki logiczne

- 1.1 Układy logiczne i przełączniki - wstęp KL-33001(A)
 1.2 Układy bramek logicznych
 a. Układy diodowe (DL) KL-33001(C)
 b. Układy rezystorowo-tranzystorowe (RTL) KL-33001(B)
 c. Układy diodowo-tranzystorowe (DTL) KL-33001(B,C)
 d. Układy tranzystorowo-tranzystorowe (TTL) KL-33001(D)
 e. Układy logiczne CMOS KL-33001(E)
 1.3 Pomiar napięć progowych
 a. Pomiar napięć progowych TTL KL-33001(A)
 b. Pomiar napięć progowych CMOS KL-33001(B)
 1.4 Pomiar napięciowo-prądowe
 a. Pomiar napięć i prądów WE/WY układów TTL KL-33001(A)
 b. Pomiar napięć i prądów układów CMOS KL-33001(B)
 1.5 Opóźnienia transmisyjne podstawowych bramek logicznych
 a. Pomiar czasu opóźnienia bramki TTL KL-33001(A)
 b. Pomiar czasu opóźnienia bramki CMOS KL-33001(A)
 1.6 Pomiar charakterystyk bramek logicznych
 a. Charakterystyki bramki AND KL-33001(A,B)
 b. Charakterystyki bramki OR KL-33001(A,B)
 c. Charakterystyki bramki negacji KL-33001(A,B)
 d. Charakterystyki bramki NAND KL-33001(A,B)
 e. Charakterystyki bramki NOR KL-33001(A,B)
 f. Charakterystyki bramki XOR KL-33001(A,B)
 1.7 Układy sprzęgające bramek logicznych
 a. Podłączenie bramki CMOS do bramki TTL KL-33001(A)
 b. Podłączenie bramki TTL do bramki CMOS KL-33001(B)

2. Kombinacyjne układy logiczne

- 2.1 Obwód bramki NOR KL-33002(A)
 2.2 Obwód bramki NAND KL-33002(B)
 2.3 Obwód bramki XOR
 a. Budowa bramki XOR z bramek NAND KL-33002(A)
 b. Budowa bramki XOR z bramek podstawowych KL-33002(C)
 2.4 Obwód bramki AND-OR-INVERT (AOI) KL-33002(C)
 2.5 Układy komparatorów
 a. Komparator z bramek podstawowych KL-33002(C)
 b. Komparator z układów scalonych TTL KL-33002(D)
 2.6 Bramka Schmitta KL-33002(A)
 2.7 Bramki z otwartym kolektorem
 a. Obwody wysokonapięciowe KL-33002(E)
 b. Budowa bramki AND z bramek z otwartym kolektorem KL-33002(E)
 2.8 Obwody bramek trójstanowych
 a. Pomiar tabel prawdy KL-33003(C)
 b. Budowa bramki AND z bramek trójstanowych KL-33003(C)
 c. Obwód transmisji dwukierunkowej KL-33003(C)
 2.9 Układy sumatora pełnego i półsumatora
 a. Budowa półsumatora z bramek podstawowych KL-33004(A)
 b. Obwód sumatora z układem scalonym KL-33004(B)
 c. Układ generatora przeniesień szybkiego sumatora KL-33003(A)
 d. Układ sumatora z kodem BCD KL-33004(B)

Laboratoryjny zestaw doświadczalny – Cyfrowe układy logiczne

- 2.10 Trójwejściowy i jednocyfrowy układy odejmujące
- Budowa układu odejmującego z bramek podstawowych . KL-33004(A)
 - Obwód sumatora i inwertera KL-33004(B)
- 2.11 Jednostka arytmetyczno-logiczna (ALU) KL-33003(B)
- 2.12 Generator bitu parzystości
- Budowa generatora bitu parzystości z bramek XOR KL-33004(A)
 - Scalony generator bitu parzystości KL-33003(C)
- 2.13 Koder
- Budowa kodera 4 na 2 z bramek podstawowych KL-33004(A)
 - Budowa kodera 10 na 4 z układem scalonym TTL KL-33003(C)
- 2.14 Dekoder
- Budowa dekodera 2 na 4 z bramek podstawowych KL-33005(C)
 - Budowa dekodera 4 na 10 z układem scalonym TTL KL-33004(C)
- 2.15 Multiplexer
- Budowa multiplexera 2 do 1 KL-33006(E)
 - Tworzenie funkcji za pomocą multiplexera KL-33006(F)
 - Budowa multiplexera 8 do 1 z układem scalonym TTL... KL-33006(F)
- 2.16 Demultiplexer
- Budowa 2-wyjściowego demultiplexera KL-33006(E)
 - Budowa 8-wyjściowego demultiplexera KL-33006(B)
- 2.17 Analogowy multiplexer i demultiplexer ze sterowaniem cyfrowym
- Charakterystyki przełączników analogowych KL-33006(C,D)
 - Transmisja dwukierunkowa z wykorzystaniem scalonych przełączników analogowych CMOS KL-33006(C)
- 3. Generatory impulsów zegarowych**
- 3.1 Budowa oscylatora z bramek podstawowych KL-33007(A)
- 3.2 Budowa oscylatora z bramek Schmitta KL-33007(B)
- 3.3 Oscylator sterowany napięciem (VCO) KL-33007(C)
- 3.4 Scalony oscylator 555
- Układ oscylatora 555 KL-33007(D)
 - Obwód oscylatora VCO KL-33007(D)
- 3.5 Multiwibratory monostabilne
- Układy wolnych multiwibratorów monostabilnych KL-33007(E)
 - Układy szybkich multiwibratorów monostabilnych KL-33007(E)
 - Budowa multiwibratorów monostabilnych KL-33007(D)
 - Budowa multiwibratorów bez podtrzymania z układem scalonym TTL KL-33007(F)
 - Budowa multiwibratorów z podtrzymaniem z układem scalonym TTL KL-33007(G)
 - Budowa generatora o zmiennym wypełnieniu impulsów z multiwibratorem monostabilnym KL-33008(A)
- 4. Sekwencyjne układy logiczne**
- 4.1 Układy przerzutnikowe
- Budowa przerzutnika RS z bramek podstawowych KL-33008(D)
 - Budowa przerzutnika D z przerzutnika RS KL-33008(D)
 - Budowa przerzutnika T z przerzutnika D KL-33008(D)
 - Budowa przerzutnika JK z przerzutnika RS KL-33008(D)
 - Budowa rejestru przesuwneego z przerzutnika D KL-33008(C)
 - Ustawianie kierunku przesunięcia (lewo/prawo) rejestru przesuwneego KL-33008(B)
 - Budowa układu eliminacji szumów z przerzutnikiem RS .. KL-33008(D)
- 4.2 Układy przerzutników JK
- Asynchroniczny binarny licznik zliczający „w przód” KL-33009(A)
 - Asynchroniczny dekadowy licznik zliczający „w przód” KL-33010(D)
 - Asynchroniczny binarny licznik zliczający modulo N KL-33010(C)
 - Asynchroniczny binarny licznik zliczający „w tył” KL-33009(A)
 - Synchroniczny binarny licznik progresywny KL-33009(A)
 - Synchroniczny binarny licznik rewersyjny KL-33009(A)
 - Nastawny synchroniczny licznik rewersyjny binarny KL-33010(A)
 - Nastawny synchroniczny licznik rewersyjny dekadowy KL-33010(B)
 - Licznik pierścieniowy KL-33009(A)
 - Licznik Johnsona KL-33009(A)
- 5. Układy pamięciowe**
- 5.1 Budowa diodowej pamięci ROM KL-33010(F)
- 5.2 Budowa pamięci RAM z przerzutnika D KL-33010(G)
- 5.3 Obwód 64-bitowej pamięci RAM KL-33011(B)
- 5.4 Układ pamięci EPROM KL-33010(E)
- 5.5 Elektroniczna pamięć EPROM (EEPROM) KL-33011(A)
- 5.6 Budowa dynamicznego licznika skanującego z mikroprocesorem jednocukładowym KL-33012(A)
- 6. Konwertery**
- 6.1 Układy konwerterów cyfrowo-analogowych (C/A)
- Unipolarny konwerter C/A KL-33013(A)
 - Bipolarny konwerter C/A KL-33013(A)
- 6.2 Układy konwerterów analogowo-cyfrowych (A/C)
- Układ przetwornika 8-bitowego KL-33012(B)
 - Układ przetwornika 3 ½ -cyfrowego KL-33013(B)
- AKCESORIA (KL-38002)**
- Przewody połączeniowe: 2mm-2mm x 300mm, 25 szt.
 - Wtyki połączeniowe: ϕ 2mm x 10mm, 15 szt.
 - Instrukcja obsługi i Podręcznik Instruktora
 - Klucz: 1 szt.
- DANE TECHNICZNE**
- Oddzielna kaseeta do przechowywania każdego modułu (205x295x65mm)
 - Zasilanie : 110V/220V \pm 10%, 50/60Hz
 - Temperatura pracy : 0°C~ 50°C
 - Wilgotność otoczenia : < 90% RH
 - Wymiary : 400x 300x 130mm
 - Waga : około 5kg